

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

DAE-YOUNG KIM

Application No.:

Filed:

For: **method of manufacturing  
semiconductor device**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2002-0086172	30 December 2002

A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 7/1/03

12400 Wilshire Blvd., 7th Floor  
Los Angeles, California 90025  
Telephone: (310) 207-3800

Eric S. Hyman, Reg. No. 30,139

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0086172  
Application Number

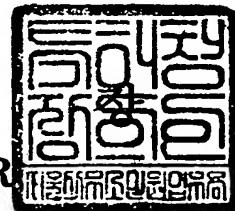
출원년월일 : 2002년 12월 30일  
Date of Application

출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특허청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0004		
【제출일자】	2002.12.30		
【발명의 명칭】	반도체 소자의 제조방법		
【발명의 영문명칭】	METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	김대영		
【성명의 영문표기】	KIM,Dae Young		
【주민등록번호】	620921-1919014		
【우편번호】	467-850		
【주소】	경기도 이천시 대월면 사동리 현대전자아파트 106-503		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	12	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	6	항	301,000 원
【합계】	330,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 소오스 및 드레인 사이의 편치쓰루 현상을 효과적으로 방지하여 고집적  
화에 용이하게 대처할 수 있는 반도체 소자의 제조방법을 제공한다.

본 발명은 소자분리막에 의해 액티브 영역이 정의되고 워드라인이 소정 간격으로  
이격되어 배치되며 워드라인 양측의 액티브 영역에 제 1 도전형의 소오스 및 드레인이  
각각 형성된 반도체 기판을 준비하는 단계; 기판 상에 워드라인과 수직하면서 소오스에  
서의 간격이 드레인에서의 간격보다 넓은 간격으로 이격되어 배치되도록 분리절연막을  
형성하여 소오스 및 드레인을 노출시키는 제 1 및 제 2 콘택홀을 형성하는 단계; 및 분  
리절연막 및 워드라인을 이온주입마스크로하여 경사 이온주입을 실시하여 소오스에만 제  
1 도전형과 반대의 제 2 도전형 불순물이온을 주입하는 단계를 포함하는 반도체 소자의  
제조방법에 의해 달성될 수 있다. 바람직하게, 경사 이온주입은 20 내지 25도의 경사각  
으로 수행한다.

**【대표도】**

도 3

**【색인어】**

소오스, 드레인, 편치쓰루, 경사 이온주입, 워드라인, 분리절연막

## 【명세서】

## 【발명의 명칭】

반도체 소자의 제조방법{METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE}

## 【도면의 간단한 설명】

도 1 내지 도 4는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 평면도 및 단면도로서,

도 2는 도 1의 II-II' 선에 따른 단면도이고,

도 3은 도 1의 III-III' 선에 따른 단면도이며,

도 4는 도 1의 IV-IV' 선에 따른 단면도.

도 5는 종래의 소오스 및 드레인 접합의 시뮬레이션 결과를 나타낸 도면.

도 6은 본 발명의 소오스 및 드레인 접합의 시뮬레이션 결과를 나타낸 도면.

## ※도면의 주요부분에 대한 부호의 설명

10 : 반도체 기판      11 : 소자분리막

12 : 워드라인      13, 13A : 소오스

14 : 드레인      15 : 스페이서

16 : 분리절연막      17A, 17B : 콘택홀

18 : P형 불순물이온    A : 액티브 영역

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<13> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 편치쓰루 현상을 효과적으로 방지할 수 있는 반도체 소자의 제조방법에 관한 것이다.

<14> 반도체 소자의 고집적화에 따른 셀면적 감소로 인하여 트랜지스터 영역도 점점 더 감소되고 있다. 이에 따라, 트랜지스터의 소오스와 드레인 사이의 채널길이도 점점 더 감소하고 있다. 그러나, 채널길이 감소에 의해 소오스와 드레인 사이에서 고전계의 형성으로 인하여 공핍(depletion)영역이 접하게 되는 편치쓰루(punchthrough) 현상이 발생함으로써 소자의 고집적화를 어렵게 하고 있다.

**【발명이 이루고자 하는 기술적 과제】**

<15> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 소오스 및 드레인 사이의 편치쓰루 현상을 효과적으로 방지하여 고집적화에 용이하게 대처할 수 있는 반도체 소자의 제조방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<16> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 상기의 본 발명의 목적은 소자분리막에 의해 액티브 영역이 정의되고 워드라인이 소정 간격으로 이격되어 배치되며 워드라인 양측의 액티브 영역에 제 1 도전형의 소오스 및 드레인이 각각 형

성된 반도체 기판을 준비하는 단계; 기판 상에 워드라인과 수직하면서 소오스에서의 간격이 드레인에서의 간격보다 넓은 간격으로 이격되어 배치되도록 분리절연막을 형성하여 소오스 및 드레인을 노출시키는 제 1 및 제 2 콘택홀을 형성하는 단계; 및 분리절연막 및 워드라인을 이온주입마스크로하여 경사 이온주입을 실시하여 소오스에만 제 1 도전형과 반대의 제 2 도전형 불순물이온을 주입하는 단계를 포함하는 반도체 소자의 제조방법에 의해 달성될 수 있다.

<17> 바람직하게, 경사 이온주입은 20 내지 25도의 경사각으로 수행하고, 더욱 바람직하게 경사 이온주입시 7 내지 18도 정도의 트위스트를 더 적용한다. 또한, 경사 이온주입은 워드라인 방향으로 수행한다.

<18> 또한, 제 1 도전형은 N형이고, 제 2 도전형은 P형이며, 제 2 도전형 불순물이온은 보론이다.

<19> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

<20> 도 1 내지 도 4는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 평면도 및 단면도로서, 도 2는 도 1의 II-II' 선에 따른 단면도이고, 도 3은 도 1의 III-III' 선에 따른 단면도이며, 도 4는 도 1의 IV-IV' 선에 따른 단면도이다.

<21> 도 1 내지 도 4를 참조하면, 소자분리막(11)에 의해 액티브 영역(A)이 정의된 반도체 기판(10) 상에 소정 간격 이격되도록 하드마스크/게이트/게이트절연막으로 이루어진 워드라인(12)을 형성한다. 여기서, 하드마스크는 질화막으로 이루어지고, 게이트는 금 속막/폴리실리콘막 또는 금속실리사이드막/폴리실리콘막의 적층구조로 이루어진다. 그

다음, 워드라인(12) 양측의 기판(10)으로 N형 불순물이온을 주입하여 액티브 영역(A)에 소오스(13) 및 드레인(14)의 접합영역을 형성하고, 워드라인(12) 측벽에 질화막의 스페이서(15)를 형성한다. 여기서, 소오스(13)는 이후 비트라인과 콘택하고, 드레인(14)은 캐패시터의 스토리지노드 전극과 콘택한다.

<22> 그 후, 기판 상에 절연막을 증착하고 워드라인(12)과 수직하면서 소정 간격으로 이격되도록 패터닝하여 분리절연막(16)을 형성하여 소오스(13) 및 드레인(14)을 노출시키는 랜딩플리그콘택(Landing Plug Contact; LPC)용 제 1 및 제 2 콘택홀(17A, 17B)을 형성한다. 이때, 분리절연막(16)이 드레인(14) 보다 소오스(13) 부분에서 더 넓은 간격으로 배치됨에 따라, 제 1 콘택홀(17A)에서는 소오스(13) 뿐만 아니라 소오스(13)와 인접한 소자분리막(11)도 일부 오픈되어 홀의 크기가 비교적 크게 나타난다.

<23> 그 다음, 분리절연막(16) 및 워드라인(12)을 이온주입 마스크로하여 경사(tilt) 이온주입을 실시하여 소오스(13)에만 선택적으로 P형 불순물이온(18), 바람직하게 보론(Boron)을 주입한다. 여기서, 경사 이온주입은 20 내지 25도의 경사각으로 수행하고, 더욱 바람직하게는 경사각 이외에 7 내지 18도 정도의 트위스트(twist)를 더 적용하여 실시한다. 또한, 경사 이온주입은 워드라인(12) 방향으로 실시한다. 즉, 소오스(13) 및 드레인(14) 부분에서의 분리절연막(16)의 서로 다른 간격에 의해 분리절연막(16)의 간격이 비교적 넓은 소오스(13)에만 P형 불순물이온(18)이 선택적으로 주입될 수 있고, 이에 따라 소오스(13)의 불순물 농도가 낮아지게 됨으로써 소오스(13)의 접합깊이가 드레인(14) 보다 낮게 형성된다(도 3 및 도 4의 도면부호 13A 참조). 그 후, 도시되지는 않았지만 LPC, 비트라인 콘택 및 스토리지노드 콘택 등의 후속 공정을 수행한다.

<24> 상기 실시예에 의하면, 소오스 및 드레인 부분에서 서로 다른 간격으로 배치된 분리절연막을 이용한 경사 이온주입으로 별도의 마스크 공정없이 소오스에만 P형 불순물이 온을 주입하여 소오스의 접합깊이를 감소시킴으로써 소오스 및 드레인 사이의 편치쓰루 현상을 효과적으로 방지할 수 있다. 즉, 도 5 및 도 6은 종래 및 본 발명의 소오스 및 드레인 접합의 시뮬레이션(simulation) 결과를 각각 나타낸 도면으로서, 도시된 바와 같이, 경사 이온주입에 의해 P형 불순물이온(18)이 주입된 본 발명의 소오스(S2)가 종래기술의 소오스(S1)에 비해 낮은 접합깊이를 가짐을 알 수 있다.

<25> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 【발명의 효과】

<26> 전술한 본 발명은 별도의 마스크 공정없이 소오스에만 P형 불순물이온을 주입하여 소오스의 접합깊이를 감소시켜 소오스와 드레인 사이의 편치쓰루 현상을 효과적으로 방지할 수 있게 됨으로써 소자의 고집적화에 용이하게 대처할 수 있게 된다.

**【특허청구범위】****【청구항 1】**

소자분리막에 의해 액티브 영역이 정의되고 워드라인이 소정 간격으로 이격되어 배치되며 상기 워드라인 양측의 상기 액티브 영역에 제 1 도전형의 소오스 및 드레인이 각각 형성된 반도체 기판을 준비하는 단계;

상기 기판 상에 상기 워드라인과 수직하면서 상기 소오스에서의 간격이 상기 드레인에서의 간격보다 넓은 간격으로 이격되어 배치되도록 분리절연막을 형성하여 상기 소

오스 및 드레인을 노출시키는 제 1 및 제 2 콘택홀을 형성하는 단계; 및

상기 분리절연막 및 워드라인을 이온주입마스크로하여 경사 이온주입을 실시하여 상기 소오스에만 선택적으로 상기 제 1 도전형과 반대의 제 2 도전형 불순물이온을 주입하는 단계를 포함하는 반도체 소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서,

상기 경사 이온주입은 20 내지 25도의 경사각으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서,

상기 경사 이온주입시 7 내지 18도 정도의 트위스트를 더 적용하는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 4】

제 3 항에 있어서,

상기 경사 이온주입은 상기 워드라인 방향으로 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

#### 【청구항 5】

제 1 항에 있어서,

상기 제 1 도전형은 N형이고, 상기 제 2 도전형은 P형인 것을 특징으로 하는 반도체 소자의 제조방법.

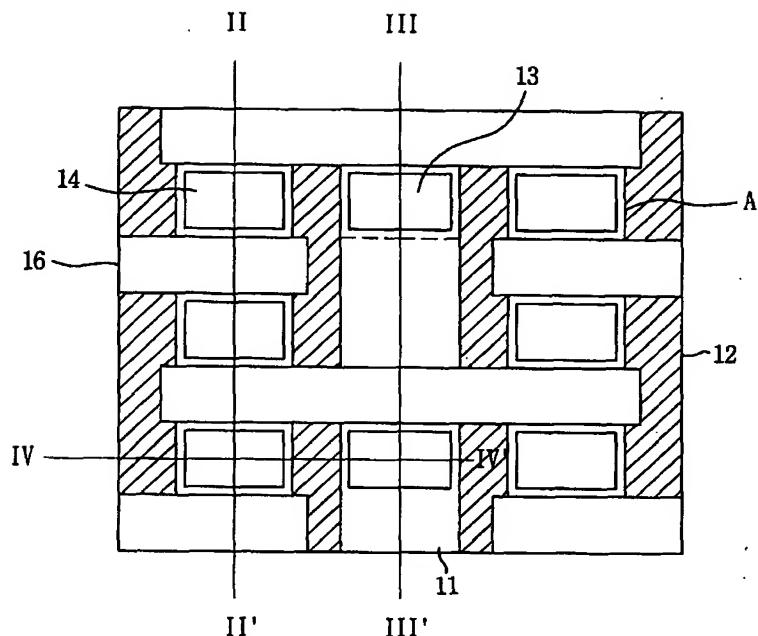
#### 【청구항 6】

제 1 항 또는 제 5 항에 있어서,

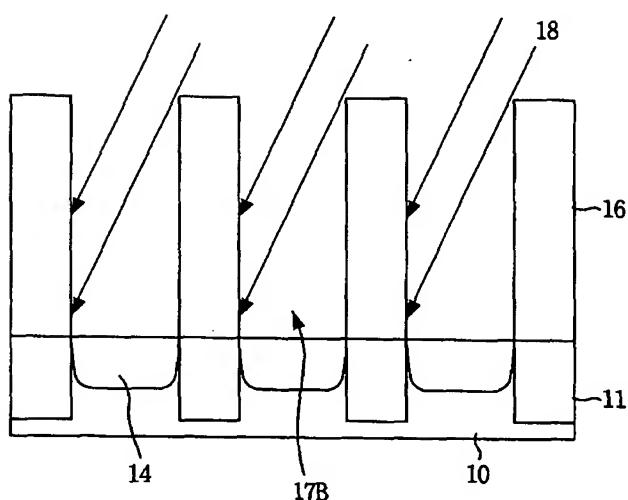
상기 제 2 도전형 불순물이온은 보론인 것을 특징으로 하는 반도체 소자의 제조방법.

## 【도면】

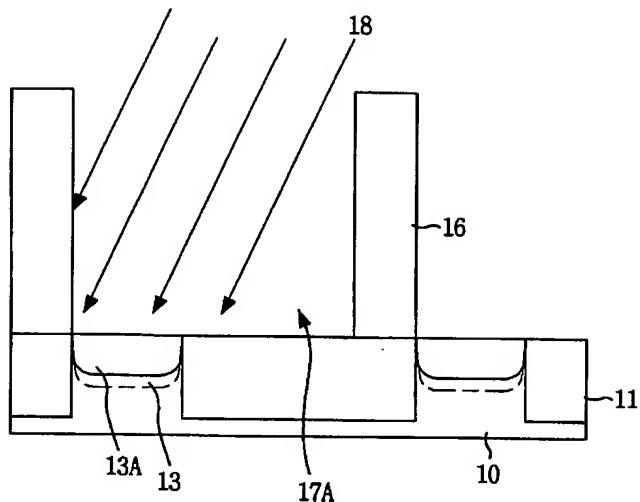
【도 1】



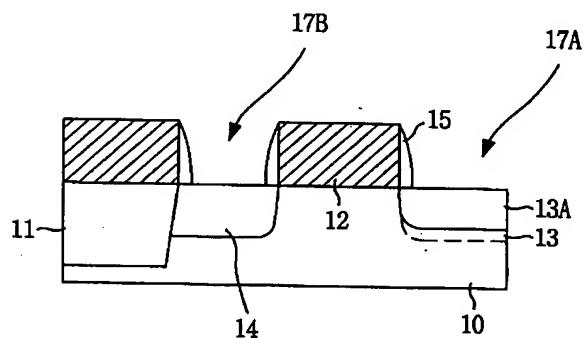
【도 2】



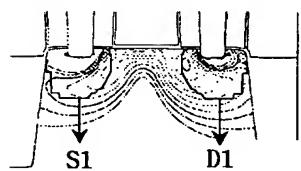
【도 3】



【도 4】



【도 5】



【도 6】

